



50Mbps 速率，28bit 串并转换控制芯片

1. 产品特性

- 可将 28bit 的串行数据转换为并行数据
- 二级缓存数据存储结构
- 内置 1 位反相器
- 最高支持 50Mbps 串口速率
- 支持并联调试

2. 功能描述

C49030 型带逻辑功能单电平波束控制专用电路主要功能是将串行输入的 28 位 0V~5V 信号，转换为并行数据，输出 0V~5V 的控制信号，同时电路包含特定逻辑处理功能，级联功能及独立的非门。

3. 产品应用

- 移相器
- 衰减器

4. 裸芯片/封装简介

- 该产品为裸芯片，尺寸：3100×1100 μm^2 （含划片槽尺寸）



5. 绝对最大额定值

表 1 绝对最大额定值

符号	参数	数值	单位
V_{DD}	正电源电压	7	V
V_{IH}	输入高电平电压	7	V
V_{IL}	输入低电平电压	-0.3	V
T_{STG}	储存温度	-65~150	°C
T_A	工作温度	-55~125	°C

- (1) 使用中超过这些绝对最大值可能对芯片造成永久损坏。

6. 推荐工作条件

- 1) 正电源电压 V_{DD} : 5V
- 2) 输入高电平电压 V_{IH} : 5V
- 3) 输入低电平电压 V_{IL} : 0V
- 4) 工作环境温度 T_A : -55~125°C
- 5) 贮存温度 T_{STG} : -65~150°C

7. 主要电参数

无特殊说明, $V_{DD}=5V$, $T_A=-55\sim 125^{\circ}C$

表 2 主要电参数

特性	符号	条件	最小值	最大值	单位
V_{DD} 静态电流	$I_{STB-VDD}$	输入状态固定, 输出空载, 测 V_{DD} 电流	0	100	μA
输入高电平门限值	V_{IH}	将输入高电平设置为 2.0V, 测功能	0.8	2	V
输入低电平门限值,	V_{IL}	将输入低电平设置为 0.8V, 测功能	0.8	2	V
输入高电平漏	I_{IH}	将输入端口电压设置为 5V, 测输入端口电流	-1	10	μA
输入低电平漏电	I_{IL}	将输入端口电压设置为 0V, 测输入端口电流	-1	10	μA
输出高电平电,	V_{OH}	跑 PATTEN, 配置输出端口 $I_{OH}=-1mA$, 测对应端口电压	4.7	5.1	V
输出低电平	V_{OL}	跑 PATTEN, 配置输出端口 $I_{OL}=1mA$, 测对应端口电压	-0.1	0.3	V



动态电流	I_{DD}	输入状态循环工作，输出空载，测 V_{DD} 电流，时钟频率 $f = 1\text{MHz}$	-10	10	mA
输入至输出延迟	T_D	$C_{LOAD} = 10\text{pF}$	—	20	ns
输出上升转换时	T_R		—	20	ns
输出下降转换时	T_F		—	20	ns

备注：静态参数：OS、 V_{OH} 、 V_{OL} 、 I_{IL} 、 I_{IH} 、 V_{IL} 、 V_{IH} 、 $I_{STB-VDD}$ ；
动态参数： I_{DD} 、 T_D 、 T_R 、 T_F ；

8. 功能框图及引脚介绍

8.1 功能框图

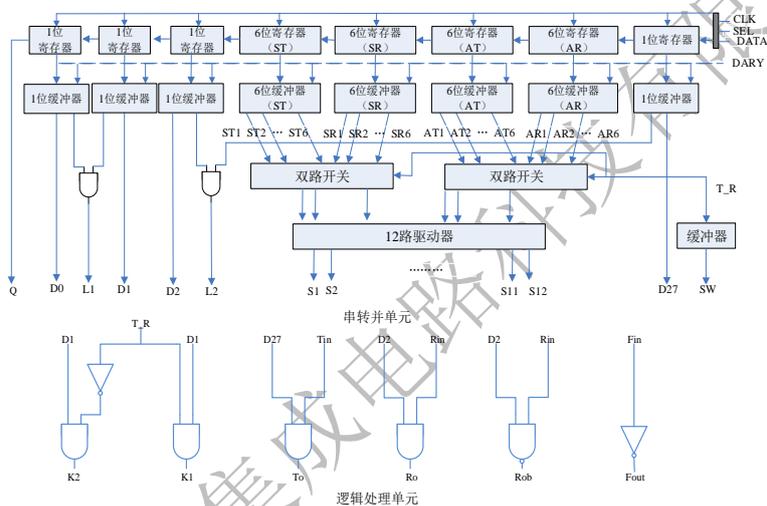


图 1 功能框图

8.2 引脚介绍

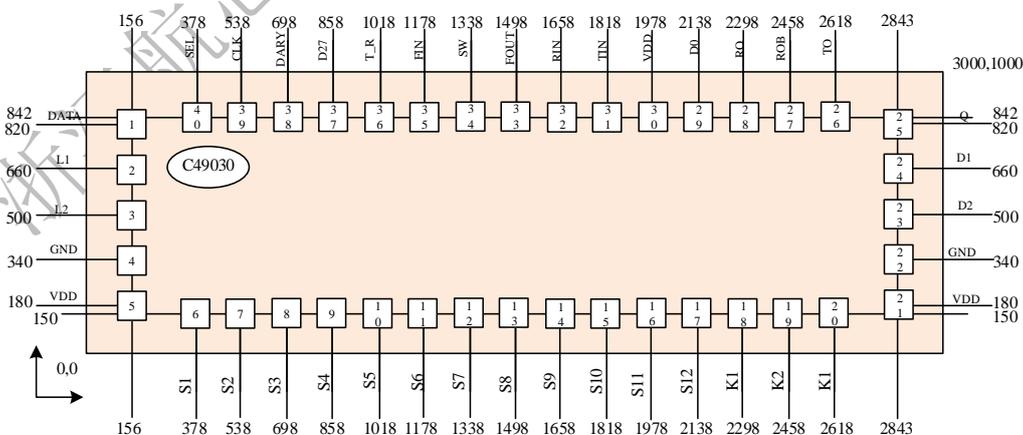


图 2 引脚尺寸图

- 芯片尺寸：3100* 1100 μm^2 （含划片槽尺寸）
- PAD 尺寸：100 * 100 μm^2 ；



表 3 引脚介绍

序号	引脚名称	I/O	引脚说明
1	DATA	I	串行数据, 内置 3MΩ 电阻下拉
2	L1	O	控制驱动
3	L2	O	控制驱动
4	GND	GND	参考地
5	VDD	P	芯片电源
6	S1	O	控制驱动
7	S2	O	控制驱动
8	S3	O	控制驱动
9	S4	O	控制驱动
10	S5	O	控制驱动
11	S6	O	控制驱动
12	S7	O	控制驱动
13	S8	O	控制驱动
14	S9	O	控制驱动
15	S10	O	控制驱动
16	S11	O	控制驱动
17	S12	O	控制驱动
18	K1	O	控制驱动
19	K2	O	控制驱动
20	K1	O	控制驱动
21	VDD	P	芯片电源
22	GND	GND	参考地
23	D2	O	控制驱动
24	D1	O	控制驱动
25	Q	O	级联位
26	TO	O	控制驱动
27	ROB	O	控制驱动
28	RO	O	控制驱动
29	D0	O	控制驱动
30	V _{DD}	P	芯片电源
31	Tin	I	逻辑输入, 内置 3MΩ 电阻下拉
32	Rin	I	逻辑输入, 内置 3MΩ 电阻下拉
33	Fout	O	控制驱动
34	SW	O	控制驱动
35	Fin	I	逻辑输入, 内置 3MΩ 电阻下拉
36	T_R	I	收发控制, 内置 3MΩ 电阻下拉
37	D27	O	控制驱动
38	DARY	I	数据就绪, 内置 3MΩ 电阻上拉



序号	引脚名称	I/O	引脚说明
39	CLK	I	时钟信号，内置 3MΩ 电阻下拉
40	SEL	I	选中控制，内置 3MΩ 电阻上拉

9. 主要功能说明

9.1 寄存器功能

串行控制字共 28 个 Bit，先传低位（Bit0），后传高位（Bit27），CLK 下降沿有效。在初始加电时，数字部分所有数据、控制字设定为“0”。在数据传输过程中，串行送入的数据并不立刻起作用（未加到衰减和移相控制端）。当系统对全部需加载数据的微波组件传完数据后，发出数据就绪（DATAREADY）脉冲，所有完成串并转换的数据作为新控制字同时被送到相应的缓冲寄存器，从接收数据就绪脉冲到控制字有效的的时间小于 20ns。寄存器加载由 T_R 脉冲电平控制。此过程与收发过程和选中控制独立，没有时序上的关联。

- 1) 串转并单元输入的 28 位数据依次为：D0、D1、D2、ST1~ST6、SR1~SR6、AT1~AT6、AR1~AR6、D27。
- 2) 串转并单元输出 20 路单端 TTL 信号，依次为：Q、D0、L1、D1、D2、L2、S1~S12、D27、SW。
- 3) Q 为溢出位，用于芯片之间的级联，时钟下降沿更新；D0、D1、D2、D27 为串行输入的第 1 位数据、第 2 位数据、第 3 位数据和第 28 位数据的对应输出；L1、L2 分别为 D0 和 D1、D2 和 D27 相与后的输出；SW 为 T_R 经过缓冲器的直接输出；S1~S12 为 2 选 1 开关对应输出。
- 4) SEL 为高时，电路处于数据保持状态，不接收新数据；SEL 为低时，电路处于接收状态，在 CLK 的下降沿接收 DATA 端的数据，串行移位寄存器进行相应的移位操作。
- 5) 在 28 个数据和时钟发送完毕后，在 DARY 的上升沿，将 28 位移位寄存器的数据加载到缓冲器中，根据 T_R 的状态进行相应的输出。
- 6) T_R 为高时，双路开关选择 ST1~ST6，AT1~AT6；在 T_R 为低时，双路开关选择 SR1~SR6，AR1~AR6。T_R 信号经过缓冲器直接输出 SW 信号。
- 7) 逻辑处理单元输出 6 路单端 TTL 信号，依次为：K1、K2、To、Ro、Rob、Fout，逻辑关系如下。

表 4 K1、K2 输出真值表

D1	T_R	K1	K2
0	0	L	L
0	1	L	L
1	0	L	H
1	1	H	L



表 5 To 输出真值表

D27	Tin	To
0	0	L
0	1	L
1	0	L
1	1	H

表 6 Ro 输出真值表

D2	Rin	Ro
0	0	L
0	1	L
1	0	L
1	1	H

表 7 Rob 输出真值表

D2	Rin	Rob
0	0	H
0	1	H
1	0	H
1	1	L

表 8 Fout 输出真值表

Fin	Fout
0	H
1	L

- 上述逻辑中 D1、D2、D27 为芯片内部信号，T_R、Tin、Rin、Fin 为外部输入信号；0 代表输入低电平，1 代表输入高电平，L 代表输出低电平，H 代表输出高电平。

9.2 串行逻辑说明

9.2.1 串行接口时序

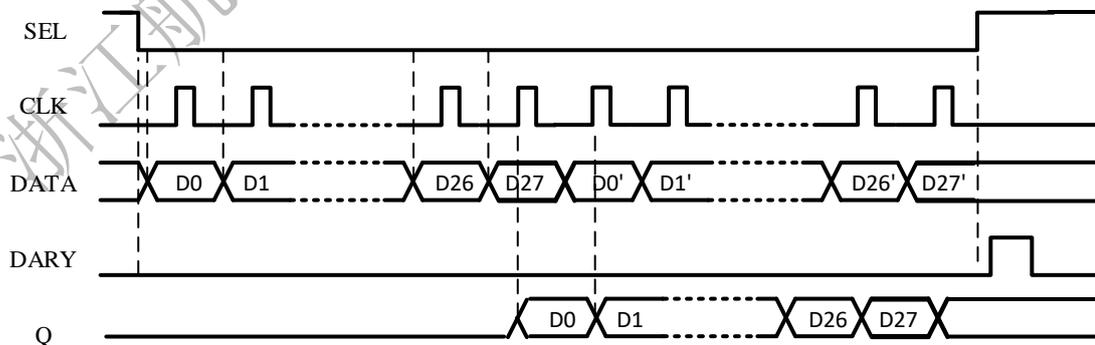


图 3 串行接口时序图

- 1) DATA 为串行输入，数据在 CLK 下降沿时输入；Q 为串行输出，数据在 SC 上升沿时输出。
- 2) 串行写入操作需在上电复位延时完成后进行。



- 3) 上电复位后 D0~D27 的值均为 0。
- 4) DARY 的上升沿为锁存触发信号，将 28 位移位寄存器的数据加载到缓冲器中，根据 T_R 的状态进行相应的输出。
- 5) 时钟信号在 SEL 为低电平时有效。

9.2.2 串行比特位对应关系

表 9 串行比特位对应控制位

串行字节位	控制字节位	功能描述
D0	D0	数据位 1
D1	D1	数据位 2
D2	D2	数据位 3
D3	D3	数据位 4
D4	D4	数据位 5
D5	D5	数据位 6
D6	D6	数据位 7
D7	D7	数据位 8
D8	D8	数据位 9
D9	D9	数据位 10
D10	D10	数据位 11
D11	D11	数据位 12
D12	D12	数据位 13
D13	D13	数据位 14
D14	D14	数据位 15
D15	D15	数据位 16
D16	D16	数据位 17
D17	D17	数据位 18
D18	D18	数据位 19
D19	D19	数据位 20
D20	D20	数据位 21
D21	D21	数据位 22
D22	D22	数据位 23
D23	D23	数据位 24
D24	D24	数据位 25
D25	D25	数据位 26



D26	D26	数据位 27
D27	D27	数据位 28

10. 芯片应用说明

10.1 典型应用图

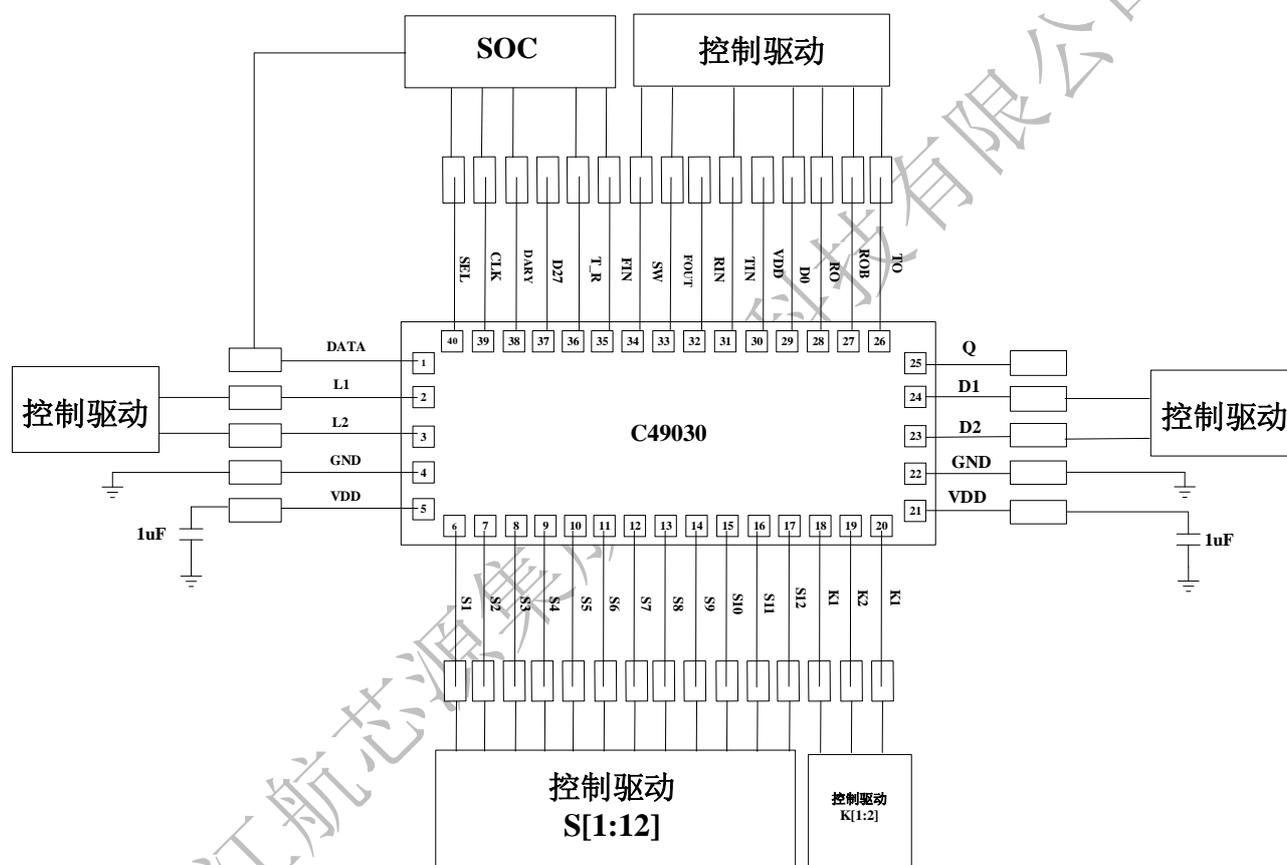


图 4 C49030 推荐工作电路

10.2 单路应用说明

- 1) VCC 接+5V 的电压；
- 2) 逻辑输出供电电流不超过 1mA；
- 3) 芯片内部有上电复位功能；
- 4) FIN 为反相器输入，分别对应反相器输出 FOUT；



11. 注意事项

11.1 产品安装注意事项

- 1) 芯片键合区主要材料为铝，适宜于键合工艺，键合材料推荐硅铝丝，若使用金丝，在芯片装配、使用过程中需控制金铝化合物产生；
- 2) 芯片背面未金属化，可采用导电胶粘接；
- 3) 芯片背面为 0V 电位，装配时推荐接地或悬空。

11.2 产品使用注意事项

- 1) 电源去耦：应在靠近器件电源引出端处采用大于等于 1 μ F 电容。此外，线路板布线应尽量短，尽量避免直角、锐角走线；
- 2) 电路使用时应先接电源端，再接输入端，同时应尽量避免电源、地线上的干扰。工作时先检查电源、地是否接触良好后再接通器件电源。

11.3 产品防护注意事项

- 1) 本产品可以抗 2000V 静电击穿，使用时应注意避免静电损伤，操作人员戴接地防静电手环，操作台面、操作设备接地良好，拿取芯片时，最好使用真空吸笔，以免损伤芯片；
- 2) 真空包装好的芯片应贮存在温度 10 $^{\circ}$ C 到 30 $^{\circ}$ C，相对湿度 20%~70%的环境中，周围没有酸、碱或者其它腐蚀气体，通风良好，且具备相应防静电措施；未使用的芯片应存于氮气柜中；在避免雨、雪直接影响条件下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。



12. 版本说明

产品型号	编制时间	版本编号	修订记录
C49030	2022.1.21	Rev.1	初始版本
C49030	2022.04.11	Rev.2	统一修正
C49030	2022.06.28	Rev.3	修改 CLK 为下降沿时有效