



2-4 译码器

1. 产品特性

- 工作电压范围：2V~5V
- 输出驱动器：±2mA /5V
- 典型传输延迟：5ns
- 专门针对高速应用

2. 功能描述

C45001A/C45001B(互为镜像版)，是一款具备高性能记忆译码，在数据路由应用程序中仅需极短的传输延迟时间的芯片。

在高性能记忆系统中，这些解码器可以最小化系统解码的影响。当使用高速存储器时需要利用一个快速使能电路，这些解码器的延迟时间和内存的启用时间通常小于内存的典型访问时间，这意味着认为系统的有效延迟由解码器影响是不可靠的

C45001A/C45001B 包含两个单独的 2-4 线解码器，高低电平使能输入可以用于解复用应用中的数据线。这些解码器/解复用器具备全缓冲输入，每个输入只代表其驱动电路的一个归一化负载。

3. 裸芯片/封装简介

- 本产品为裸芯片，尺寸为850μm*600μm（含划片槽）

4. 绝对最大额定值

使用中超过这些绝对最大值可能对芯片造成永久损坏！

参数	符号	最小值	最大值	单位
电源电压	V_{DD}		5.5	V
最大输出电流	I_{OUT}		2	mA
工作温度	T_A	-55	125	°C
贮存温度	T_S	-65	150	°C



5. 主要电参数

无特别说明 $T_A = -55^{\circ}\text{C} \sim 125^{\circ}\text{C}$, $V_{DD}=5\text{V}$

表 1 主要电参数

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V_{DD}		2.3	5	5.5	V
输入高电平	V_{IH}	$V_{DD}=2.3\text{V} \sim 5.5\text{V}$	2			V
输入低电平	V_{IL}	$V_{DD}=2.3\text{V} \sim 5.5\text{V}$			0.6	V
高电平输入电流	I_{IH}	$V_{DD}=2.3\text{V} \sim 5.5\text{V}$ CT1, CT2 为高			10	μA
低电平输入电流	I_{IL}	$V_{DD}=2.3\text{V} \sim 5.5\text{V}$ CT1, CT2 为低			10	μA
高电平输出电压	V_{OH}	$V_{DD}=3.3\text{V} \sim 5\text{V}$ $I_{LOAD}=2\text{mA}$	$V_{DD}-0.3$			V
低电平输出电压	V_{OL}	$V_{DD}=3.3\text{V} \sim 5\text{V}$ $I_{LOAD}=2\text{mA}$			0.4	V
导通延时	T_{D_LH}	$V_{DD}=3.3\text{V} \sim 5\text{V}$ $C_{LOAD}=10\text{pF}$			5	ns
关断延时	T_{D_HL}	$V_{DD}=3.3\text{V} \sim 5\text{V}$ $C_{LOAD}=10\text{pF}$			5	ns
上升沿时间	T_R	$V_{DD}=3.3\text{V} \sim 5\text{V}$ $C_{LOAD}=10\text{pF}$			5	ns
下降沿时间	T_F	$V_{DD}=3.3\text{V} \sim 5\text{V}$ $C_{LOAD}=10\text{pF}$			5	ns
静态电流	I_{CC}	$V_{DD}=2.3\text{V} \sim 5.5\text{V}$			100	μA



6. 功能框图及引脚介绍

6.1 功能框图

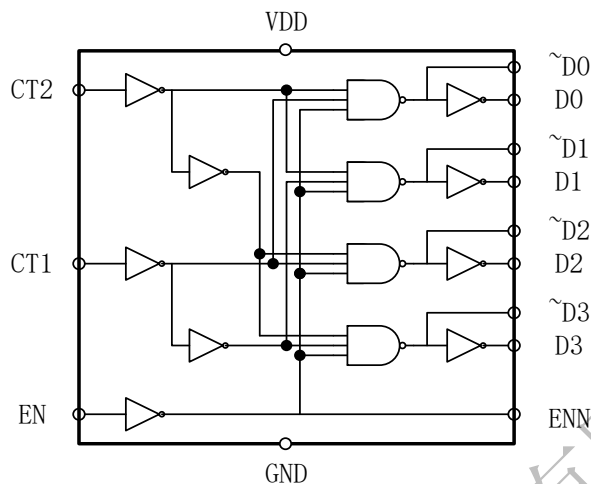


图 1 功能框图

6.2 芯片示意图及引脚说明

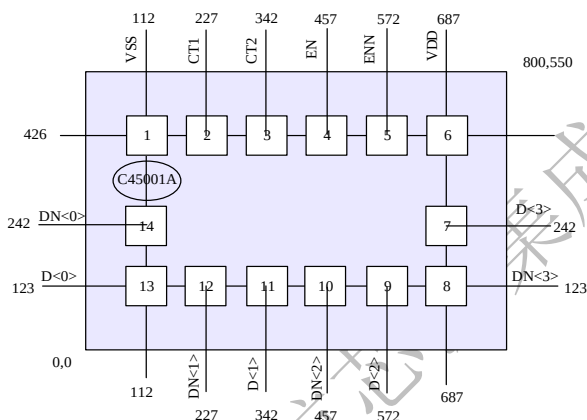


图 2 C45001A 焊盘位置示意图

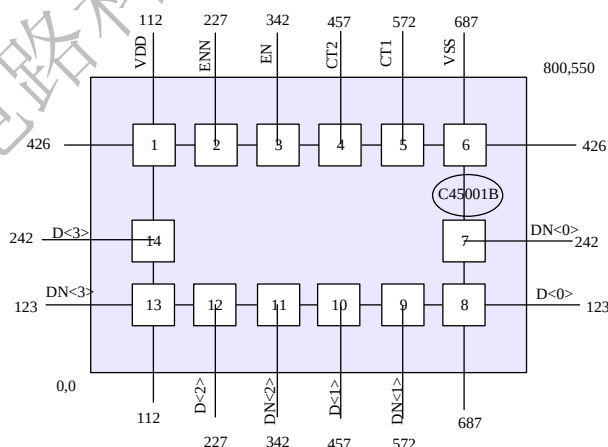


图 3 C45001B 焊盘位置示意图

- 芯片尺寸：850μm*600μm（含划片槽）
- PAD 尺寸：80μm×80μm

表 2 C45001A 引脚说明

引脚序号	引脚介绍	属性	引脚功能描述
1	VSS	地	接地
2	CT1	输入	低位信号输入端
3	CT2	输入	高位信号输入端
4	EN	输入	使能输入端，低电平有效
5	ENN	输出	EN 反相输出端



6	VDD	电源	+5V 电源
7	D<3>	输出	D3 输出端
8	DN<3>	输出	D3 反相输出端
9	D<2>	输出	D2 输出端
10	DN<2>	输出	D2 反相输出端
11	D<1>	输出	D1 输出端
12	DN<1>	输出	D1 反相输出端
13	D<0>	输出	D0 输出端
14	DN<0>	输出	D0 反相输出端

表 3 C45001B 引脚说明

引脚序号	引脚介绍	属性	引脚功能描述
1	VDD	电源	+5V 电源
2	ENN	输出	EN 反相输出端
3	EN	输入	使能输入端，低电平有效
4	CT2	输入	高位信号输入端
5	CT1	输入	低位信号输入端
6	VSS	地	接地
7	DN<0>	输出	D0 反相输出端
8	D<0>	输出	D0 同相输出端
9	DN<1>	输出	D1 反相输出端
10	D<1>	输出	D1 同相输出端
11	DN<2>	输出	D2 反相输出端
12	D<2>	输出	D2 同相输出端
13	DN<3>	输出	D3 反相输出端
14	D<3>	输出	D3 同相输出端



7. 芯片应用说明

7.1 典型应用图

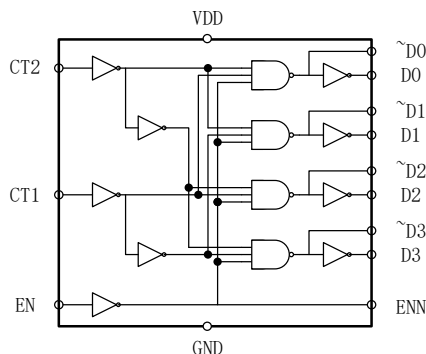


图 3 典型应用图

- 主要功能为 2-4 译码器，其中 CT1 为低位输入，CT2 为高位输入，输出为差分输出模式。EN 为译码器使能端，低电平有效，ENN 为 EN 的反相输出端；
- 功率走线如电源、地、输出等，应简短并且具有一定的宽度。

表 4 逻辑真值表

EN	CT2	CT1	~EN	D0	D1	D2	D3	~D0	~D1	~D2	~D3
0	0	0	1	1	0	0	0	0	1	1	1
0	0	1	1	0	1	0	0	1	0	1	1
0	1	0	1	0	0	1	0	1	1	0	1
0	1	1	1	0	0	0	1	1	1	1	0
1	0	0	0	0	0	0	0	1	1	1	1
1	0	1	0	0	0	0	0	1	1	1	1
1	1	0	0	0	0	0	0	1	1	1	1
1	1	1	0	0	0	0	0	1	1	1	1

7.2 参考测量信息

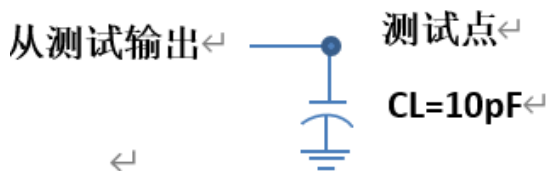


图 4 负载电路



图 5 电压波形输入上升和下降时间

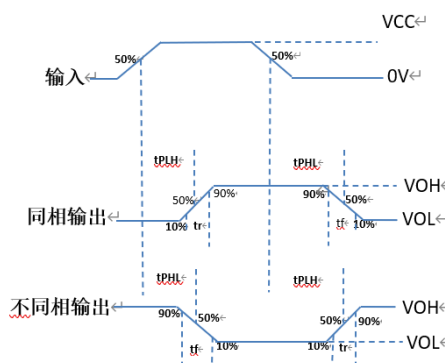


图 6 传输电压波形延迟和输出时间

8. 注意事项

8.1 产品安装注意事项

- 1) 芯片键合区主要材料为铝，适宜于键合工艺，键合材料推荐硅铝丝，若使用金丝，在芯片装配、使用过程中需控制金铝化合物产生；
- 2) 芯片背面为硅衬底，可采用导电胶粘接；
- 3) 芯片背面与 GND 脚同电位，装配时推荐接 GND 或悬空。

8.2 产品使用注意事项

- 1) 芯片工作电压绝对最大额定值 5.5V，芯片不能超过极限工作条件使用；
- 2) 电源去耦：应在靠近芯片电源引出端处采用不小于 100nf 的电容，首选 ESR 小的陶瓷电容。此外，线路板布线应尽量短，尽量避免直角、锐角走线；
- 3) 芯片使用时应先接电源端，再接输入端，同时应尽量避免电源、地线及输入端的干扰。
- 4) 当芯片输入端被缓慢上升和缓慢下降的信号驱动时、或者引线比较长时，为防止干扰，需在靠近输入端加 10pF 滤波电容。
- 5) 工作时先检查电源、地是否接触良好后再接通电源。

8.3 产品防护注意事项

- 1) 本产品可以抗 4000V 静电击穿，使用时应注意避免静电损伤，操作人员戴接地防静电手环，操作台面、操作设备接地良好，拿取芯片时，最好使用真空吸笔，以免损伤芯片；
- 2) 真空包装好的芯片应贮存在温度 10℃ 到 30℃，相对湿度 20%~70% 的环境中，周围没有酸、碱或者其它腐蚀气体，通风良好，且具备相应防静电措施；未使用的芯片应存于氮气柜中；
- 3) 在避免雨、雪直接影响的条件下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。



9. 版本说明

产品型号	编制时间	版本编号	修订记录
C45001A/C45001B	2022.1.17	Rev.1	初始版本
C45001A/C45001B	2022.04.11	Rev.2	统一修正