



3A, 28V, 内置大功率 PMOS
电源调制芯片

1. 产品特性

- PMOS 输出电流：3A
- 输入电压范围：5V~32V
- 延迟时间：<50ns
- 导通电阻：40mΩ
- 正压/负压使能功能
- 集成正压、负压检测和屏蔽

2. 功能描述

C43601是一款采用硅工艺制造的大电流电源调制器芯片，具有高速低功耗的特点。该芯片主要将TTL电平转换成CMOS电平的功能，电源范围为5V~32V，提供3A的输出电流，内置大功率PMOS管导通电阻为40mΩ。芯片内置泄电NMOS管，通过外部连接输出端可用于泄放输出低时的负载电容电荷。该芯片具有控制开关的正压/负压使能，还设置了负压屏蔽的引脚功能，可任意选择使能方式，应用方便。

3. 产品应用

- GaN/GaAs射频功率放大器供电
- 驱动放大器、低噪声放大器供电
- 高速高效率低功耗驱动应用

4. 裸芯片/封装简介

- 本产品为裸芯片，2380* 2680μm²（包含划片槽尺寸）



5. 绝对最大额定值

表 1 绝对最大额定值

参数	符号	最小值	最大值	单位
电源电压	V_{IN}		36	V
贮存温度	T_S	-65	150	°C
最大输出电流	I_{MAX}		3	A

(1) 使用中超过这些绝对最大值可能对芯片造成永久损坏。

6. 推荐工作条件

- 1) 电源 V_{IN} : 28V
- 2) 逻辑输入电压: 0V/5V
- 3) 工作环境温度 T_A : -55°C~125°C。

7. 主要电参数

除非特别说明, $T_A = -55^\circ\text{C} \sim 125^\circ\text{C}$, $V_{IN} = 28\text{V}$

表 2 主要电参数

参数	符号	测试条件	最小值	典型值	最大值	单位
输出电流	I_O	输出逻辑高			3	A
IN/EN/CFG 逻辑高电平	V_{IH}	$V_{DD} = 5\text{V} \sim 32\text{V}$	2.4			V
IN/EN/CFG 逻辑低电平	V_{IL}	$V_{DD} = 5\text{V} \sim 32\text{V}$			0.8	V
ENN 逻辑高电平	E_{N_H}	$V_{DD} = 5\text{V} \sim 32\text{V}$	-4			V
ENN 逻辑低电平	E_{N_L}	$V_{DD} = 32\text{V}$			-1.5	V
ENN 输入电流	I_{ENN}	$V_{DD} = 5\text{V} \sim 32\text{V}$		15	50	μA
导通阻抗	R_{DSON}	$T_A = 25^\circ\text{C}$, $I_{OUT} = 3\text{A}$		40	100	m Ω
上升时间	T_R	$C_L = 1\text{nF}$		10	100	ns
下降时间	T_L	$C_L = 1\text{nF}$		35	100	ns
上升延时	T_{DI}	$C_L = 1\text{nF}$		25	100	ns



2	EN	正压使能端
3	CFG	负压屏蔽
4	ENN	负压使能端
5	GND	地
6	DOWN	输出放电端
7	OUT	功率输出
8	OUT	功率输出
9	OUT	功率输出
10	OUT	功率输出
11	OUT	功率输出
12	OUT	功率输出
13	VIN	电源
14	VIN	电源
15	VIN	电源
16	VIN	电源
17	VIN	电源
18	VIN	电源
19	GND	地

9. 应用说明

C43601是一款采用硅工艺制造的大电流电源调制器芯片，具有高速低功耗的特点。该芯片主要将TTL电平转换成CMOS电平的功能，电源范围为5V~32V，提供3A的输出电流。该芯片具有控制开关的正压/负压使能，还设置了负压屏蔽的引脚功能，可任意选择使能方式，应用方便。

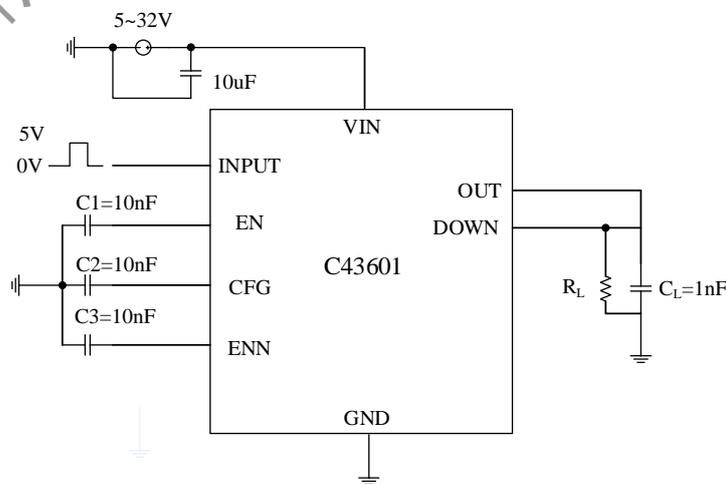


图 3 芯片典型应用



9.1 输入端口设置

输入端口INPUT为TTL电平，不用可以悬空，默认接0V。端口EN为正压使能端，默认接高。ENN为负压使能端，默认接低，CFG为负压屏蔽端，默认接高；CFG、ENN、EN正常使用时若干扰较大可外接10nF电容。

若使用正压使能，只需INPUT给逻辑信号控制即可；若使用负压使能，则需CFG接低（0V），ENN端口接-5V，再INPUT给逻辑信号控制即可。逻辑真值表见下表所示：

表 4 状态真值表

输入 INPUT	负压使能 ENN	正压使能 EN	负压屏蔽 CFG	输出
X	X	低 (0V)	高 (5V)	低 (0V 或高阻态)
高 (5V)	X	高 (5V)	高 (5V)	高 (VIN)
低 (0V)	X	高 (5V)	高 (5V)	低 (0V 或高阻态)
高 (5V)	低 (-5V)	X	低 (0V)	高 (VIN)
低 (0V)	低 (-5V)	X	低 (0V)	低 (0V 或高阻态)
X	高 (0V)	X	低 (0V)	低 (0V 或高阻态)

- “X”指任意逻辑，CFG内部接高（5V），ENN和INPUT内部接低（0V），默认正压使能EN有效；
- DOWN和OUT连接时输出“低”为0V，否则输出“低”为高阻态。

9.2 输出端口设置

输出端口OUT为内部功率PMOS管漏极，不用可以悬空，为高阻态，若有泄电需求可接入对应的下拉DOWN，禁止接地。

10. 注意事项

10.1 产品安装注意事项

- 1) 芯片键合区主要材料为铝，适宜于键合工艺，键合材料推荐硅铝丝，若使用金丝，在芯片装配、使用过程中需控制金铝化合物产生；
- 2) 芯片背面未金属化，可采用导电胶粘接；
- 3) 芯片背面为0V 电位，装配时推荐0V 或悬空。

10.2 产品使用注意事项

- 1) 输出端口禁止接地；
- 2) 器件不能超过极限工作条件使用；



- 3) 电源去耦：应在靠近器件电源引出端处可采用 $10\mu\text{F}$ 电容。此外，线路板布线应尽量短，尽量避免直角、锐角走线；
- 4) 工作时先检查电源、地是否接触良好后再接通器件电源。

10.3 产品防护注意事项

- 1) 本产品可以抗 2000V 静电击穿，使用时应注意避免静电损伤，操作人员戴接地防静电手环，操作台面、操作设备接地良好，拿取芯片时，最好使用真空吸笔，以免损伤芯片；
- 2) 真空包装好的芯片应贮存在温度 10°C 到 30°C ，相对湿度 20%~70% 的环境中，周围没有酸、碱或者其它腐蚀气体，通风良好，且具备相应防静电措施；未使用的芯片应存于氮气柜中；
- 3) 在避免雨、雪直接影响的条件下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。



11. 版本说明

产品型号	编制时间	版本编号	修订记录
C43601	2021.10.14	Rev.1	初始版本
C43601	2022.04.11	Rev.2	统一修正

浙江航芯源集成电路科技有限公司