



3V~12V 电压输入,0.5A&4A 双路输出
抗辐射电源调制芯片

1. 产品特性

- 输入电压范围：3V~12V
- 输出电流： $I_A=0.5A$ 、 $I_B=4A$
- -5V负压使能
- 负压使能可屏蔽
- 每一路独立开关控制
- 上升时延 $\leq 100ns$ ，上升时间 $\leq 100ns$
- 下降时延 $\leq 100ns$ ，下降时间 $\leq 100ns$
- 总剂量（TID）耐受： $\geq 100k\ rad(si)$
- 单粒子锁定及烧毁对线性能量传输（LET）的抗干扰度： $\geq 75MeV*cm^2/mg$

2. 功能描述

C43402RH是一款采用硅工艺制造的大电流双路电源调制器芯片,主要由TTL电平转换电路和驱动电路两部分构成。芯片功能主要是将TTL电平转换成CMOS电平,并提供独立的两路输入、输出。其中,一路可提供最大0.5A的输出电流,另一路可提供最大4A的输出电流,且每路输出内置泄电NMOS提供放电使用。芯片具有控制两路的总使能,以及控制各路独立使能。该芯片还有负压屏蔽脚可以屏蔽负压使能端,使得芯片在无负压输入时能正常工作,扩展应用。

3. 产品应用

- 大功率输出
- 快速电源开关转换

4. 裸芯片/封装简介

- 本产品为裸芯片,尺寸为 $2510\mu m*3640\mu m$



5. 绝对最大额定值

表 1 绝对最大额定值

参数	符号	数值	单位
电源电压范围	V_{DDA} 、 V_{DDB}	-0.3~13	V
逻辑输入电压	IN_A 、 IN_B	-0.3~5.5	V
使能输入电压	EN_A 、 EN_B 、 EN	-5.5~0.3	V
负压屏蔽电压	CFG	-0.3~5.5	V
储存温度	T_{STG}	-65 ~ +150	°C
工作温度	T_J	-55 ~ +150	°C

(1) 使用中超过这些绝对最大值可能对芯片造成永久损坏。

6. 推荐工作条件

- 1) 电源电压 V_{DDA} 、 V_{DDB} : 3~12V
- 2) 逻辑输入 IN_A 、 IN_B : 0~5V
- 3) 使能输入 EN 、 EN_A 、 EN_B : -5~0V
- 4) 负压屏蔽CFG: 0~5V
- 5) 输出稳态电流 OUT_A : 0~0.5A
- 6) 输出稳态电流 OUT_B : 0~4A
- 7) 工作环境温度 (T_A): -55°C ~ 125°C。

7. 主要电参数

除非特别说明, $V_{DDA} = V_{DDB} = 12V$, $V_{IN_{A/B}} = 0V/5V$, $T_A = -55°C \sim +125°C$

表 2 主要电参数

参数	符号	测试条件	最小值	最大值	单位
输出电流	I_{OA}/I_{OB}	A 路输出逻辑高		0.5	A
		B 路输出逻辑高		4	A
IN_x 逻辑高电平	V_{IH}		2.4		V
IN_x 逻辑低电平	V_{IL}			0.8	V
EN 逻辑高电平	EN_H			-4	V
EN 逻辑低电平	EN_L		-1.5		V
EN_x 逻辑高电平	EN_{x_H}		-1.5		V



EN _x 逻辑低电平	EN _{x_L}			-4	V
输出高电平	OUT _{x1}	V _{INA/B} =5V, VDD _{A/B} =12V, OUT _A =0.2A, OUT _B =0.8A	11.8		V
输出低电平	OUT _{x0}	V _{INA/B} =0V, VDD _{A/B} =12V, OUT _A =0.2A, OUT _B =0.8A		30	mV
上升时间	t _R	C _L =1nF		100	ns
下降时间	t _L	C _L =1nF		100	ns
上升延时	t _{D1}	C _L =1nF		100	ns
下降延时	t _{D2}	C _L =1nF		100	ns
关断电流	I _{STB}	EN, EN _x 都关断		1	mA

注：EN_x、IN_x、OUT_{x1}、OUT_{x0}中“x”指A路或B路；

8. 功能框图及引脚介绍

8.1 功能框图

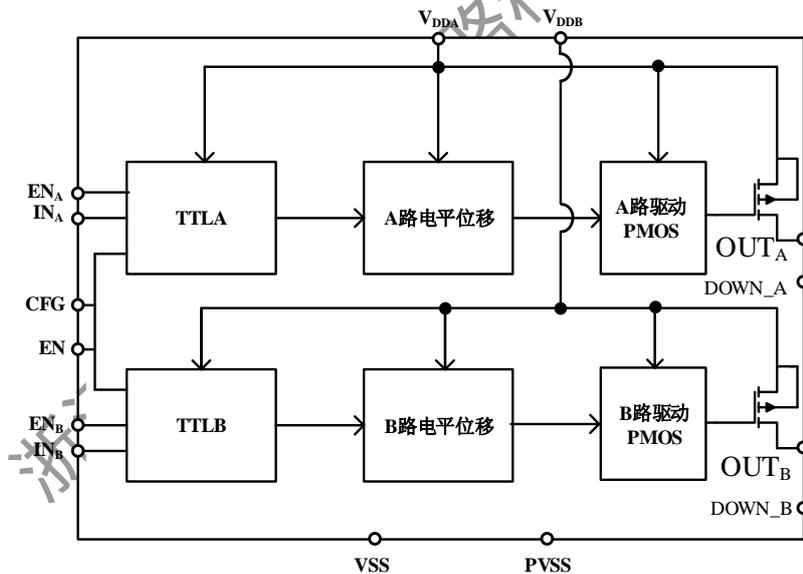


图 1 功能框图



8.2 引脚介绍

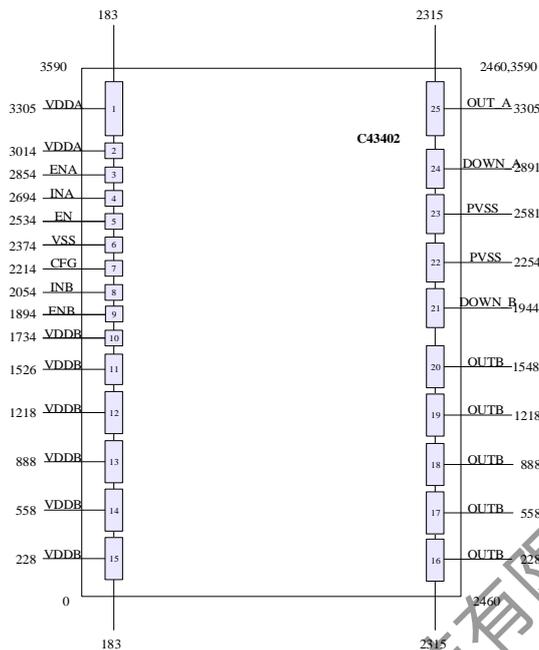


图 2 引脚分布图

表 3 C43402RH 引脚键合区尺寸

引脚名称	键合区尺寸
VDDA (大尺寸)、OUTA	100μm × 360μm
VDDA (小尺寸)	100μm × 100μm
VDDDB(大尺寸)、OUTB	100μm × 300μm
VDDDB(中尺寸)	100μm × 225μm
VDDDB (小尺寸)	100μm × 100μm
DOWN_A、DOWN_B、PVSS	100μm × 250μm
其他引脚	100μm × 100μm

芯片尺寸: 2560μm×3690μm (含划片槽尺寸)

表 4 C43402RH 引脚介绍

序号	符号	功能
1~2	VDDA	A 路电源端
3	ENA	A 路使能端
4	INA	A 路输入端
5	EN	总使能
6	VSS	地
7	CFG	负压屏蔽端
8	INB	B 路输入端



9	ENB	B 路使能端
10~15	VDDB	B 路电源端
16~20	OUTB	B 路输出端
21	DOWN_B	B 路输出泄电端
22~23	PVSS	功率地
24	DOWN_A	A 路输出泄电端
25	OUT_A	A 路输出端

9. 芯片应用说明

9.1 典型应用图

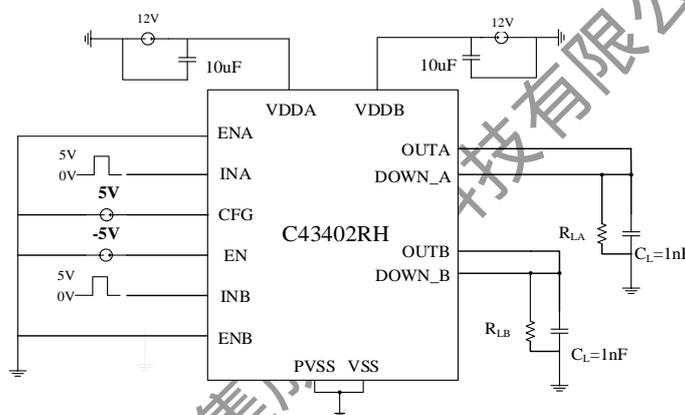


图 3 C43402RH 工作推荐电路

9.2 输入端口设置

输入端口INX为TTL电平，不用可以悬空，默认接0V。输入端口INX若使用电平模式，端口DOWNX可与输出端OUTX连接，端口EN和ENX为负压检测总使能和独立X路使能端口，有较小的输入电流，正常使用时若干扰较大可外接100nF电容。EN和ENX的使用范围为-5~-0.3V，芯片默认EN和ENX都接0V，CFG内部上拉至5V左右，即芯片默认需要负压总使能，其逻辑定义表&逻辑真值表如下所示：

表 5 逻辑定义表

	H(逻辑高)	L(逻辑低)
EN	-5V	0V
EN _x	0V	-5V
IN _x	5V/3.3V	0V
CFG	5V/3.3V	0V
OUT _x	VDD _x	高阻态

注：EN_x、IN_x 和 OUT_x 指 A 路或 B 路



表 6 逻辑真值表

CFG	EN	EN _x	IN _x	OUT _x
H	L	X	X	L
H	H	L	X	L
H	H	H	L	L
H	H	H	H	H
L	X	X	L	L
L	X	X	H	H

注：1. EN_x、IN_x 和 OUT_x 指 A 路或 B 路；
2. 逻辑 X 指此引脚可为任意逻辑；
3. 芯片内部已经默认 EN，EN_x 接地，CFG 为逻辑高，负压使能有效。

9.3 输出端口设置

输出端口OUTX为内部功率PMOS管漏极，不用可以悬空，为高阻态，若有泄电需求可接入对应的下拉DOWN_X，禁止接地。RLA、RLB为模拟用户端负载，实际使用时无需添加，输出端选用不同电容容值下的上升、下降时间见下表8

表 7 不同 CL 值下输出端上升下降时间

	负载电容(nF)	A 路 (ns)				B 路 (ns)			
		上升时间	上升延时	下降时间	下降延时	上升时间	上升延时	下降时间	下降延时
VDD=5V	1	38	71	14	50	19	38	10	56
	10	41	88	21	58	22	48	18	62
	100	77	130	110	105	48	69	66	92
	470	212	200	524	256	104	101	226	153
VDD=8V	1	38	64	10	45	20	33	8	48
	10	43	82	22	54	21	44	18	55
	100	77	123	121	113	46	65	66	84
	470	226	199	628	292	104	100	251	157
VDD=12V	1	50	70	12	46	27	37	10	49
	10	52	88	26	57	26	47	20	56
	100	91	137	159	129	49	70	76	94
	470	238	224	802	393	110	109	306	182

3.1.1 电源设置

A路和B路供电电源是独立分开的，但负压检测总使能和CFG引脚的供电电源是接在B路电源上的，若不用B路输出，需将B路电源接在A路电源上。



9.4 布板注意事项

- 1) 功率走线如地、VDDA、VDDB，应简短并且具有一定宽度
- 2) 分别在芯片的 VDDA 和 VDDB 脚放置去耦电容，且尽量与芯片或者靠近
- 3) 驱动器的输出脚 OUTA、OUTB 应简短并且具有一定宽度以减小寄生电感

10. 注意事项

10.1 产品安装注意事项

- 1) 芯片键合区主要材料为铝，适宜于键合工艺，键合材料推荐硅铝丝，若使用金丝，在芯片装配、使用过程中需控制金铝化合物产生；
- 2) 芯片背面未金属化，可采用导电胶粘接；
- 3) 芯片背面为 0V 电位，装配时推荐接地或悬空。

10.2 产品使用注意事项

- 1) 输出端口禁止接地；
- 2) 器件不能超过极限工作条件使用；
- 3) 电源去耦：应在靠近器件电源引出端处可采用 10 μ F 电容。此外，线路板布线应尽量短，尽量避免直角、锐角走线；
- 4) 工作时先检查电源、地是否接触良好后再接通器件电源。

10.3 产品防护注意事项

- 1) 本产品可抗 2000V 静电击穿，使用时应注意避免静电损伤，操作人员戴接地防静电手环在防静电的工作台上操作，并确保操作台面、操作设备接地良好，操作环境的相对湿度应尽可能保持在 30% 以上。拿取芯片时，最好使用真空吸笔，以免损伤芯片，测试、使用及流转过程中，应避免使用能引起静电的塑料、橡胶、丝织物等。
- 2) 芯片应包装在相应包装容器内，包装容器应贮存在相对湿度不大于 30% 的充氮干燥箱或干燥塔中，并保持 10 $^{\circ}$ C~30 $^{\circ}$ C 的温度范围。满足以上条件的芯片有效贮存期为 3 年。并确保周围没有酸、碱或其它腐蚀性气体，保证通风良好，且具备相应防静电措施；
- 3) 在避免雨、雪直接影响的条件下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。



11. 版本说明

产品型号	编制时间	版本编号	修订记录
C43402RH	2021.10.14	Rev.1	初始版本
C43402RH	2022.04.11	Rev.2	统一修正

浙江航芯源集成电路科技有限公司