



## 4~12V 电压输入，双路 1A 电源调制芯片

### 1. 产品特性

- 输入电压范围: 4V~12V
- 输出电流:  $I_A=1A$ ,  $I_B=1A$
- 可两路并联，最大可输出电流达 2A
- 负压使能&负压使能延迟可调
- 负压使能可屏蔽
- 每路独立开关控制
- 输出反相功能配置

### 2. 功能描述

C43411是一款采用硅工艺制造的大电流双路电源调制器芯片，主要由TTL电平转换电路和驱动电路两部分构成。

芯片功能主要是将TTL电平转换成CMOS电平，并提供独立的两路输入、输出。其中，每一路可提供最大1A的输出电流，且输出内置泄电NMOS提供放电使用。每一路均具有负压使能及使能屏蔽功能，输出反相功能配置，以及负压使能延迟可调功能。两个通道相互独立，可以单独使用，也可以并联使用。

### 3. 产品应用

- 功放电源调制
- 快速电源开关转换

### 4. 裸芯片/封装简介

- 本产品为裸芯片，尺寸为 $1100\mu\text{m}\times 2000\mu\text{m}$



## 5. 绝对最大额定值

表 1 绝对最大额定值

参数	符号	数值	单位
电源电压范围	$V_{DDA}$ 、 $V_{DDB}$	-0.3~13	V
逻辑输入电压	$IN_A$ 、 $IN_B$	-0.3~5.5	V
使能输入电压	$EN_A$ 、 $EN_B$	-5.5~0.3	V
负压屏蔽电压	CFG	-0.3~5.5	V
储存温度	$T_{STG}$	-65~150	°C
工作温度	$T_A$	-55~125	°C

(1) 使用中超过这些绝对最大值可能对芯片造成永久损坏。

## 6. 推荐工作条件

- 1) 电源电压 $V_{DDA}$ 、 $V_{DDB}$ : 4~12V
- 2) 逻辑输入 $IN_A$ 、 $IN_B$ : 0~5V
- 3) 使能输入 $EN_A$ 、 $EN_B$ : -5~0V
- 4) 负压屏蔽CFG: 0~5V
- 5) 输出稳态电流 $I_A$ 、 $I_B$ : 0~1A
- 6) 工作环境温度 $T_A$ : -55°C~125°C

## 7. 主要电参数

除非特别说明,  $V_{DDA}=V_{DDB}=12V$ ,  $T_A = -55^{\circ}C \sim 125^{\circ}C$

表 2 主要电参数

参数	符号	测试条件	最小值	最大值	单位
输入电压	$V_{IN}$		4	12	V
输出电流	$I_{OA}/I_{OB}$	A 路输出逻辑高		1	A
		B 路输出逻辑高		1	A
$IN_X$ 逻辑高电平	$V_{IH}$	$V_{DDX}=4V \sim 12V$ $IN_X=5V$	2.4		V
$IN_X$ 逻辑低电平	$V_{IL}$	$V_{DDX}=4V \sim 12V$ $IN_X=0V$		0.8	V
$EN_X$ 逻辑高电平	EN_H			-4	V
$EN_X$ 逻辑低电平	EN_L		-1.5		V



输出高电平	OUT <sub>X1</sub>	VIN <sub>A/B</sub> =5V, VDD <sub>A/B</sub> =12V, OUT <sub>A</sub> =1A, OUT <sub>B</sub> =1A, T <sub>A</sub> =25°C, 见应用示意图	11		V
输出低电平	OUT <sub>X0</sub>	VIN <sub>A/B</sub> =5V, VDD <sub>A/B</sub> =12V, OUT <sub>A</sub> =0.1A, OUT <sub>B</sub> =0.1A, T <sub>A</sub> =25°C, 见应用示意图		400	mV
上升时间	T <sub>R</sub>	VIN <sub>A/B</sub> =5V, VDD <sub>A/B</sub> =12V, OUT <sub>A</sub> =1A, OUT <sub>B</sub> =1A, C <sub>L</sub> =1nF, 见应用示意图		50	ns
下降时间	T <sub>L</sub>	VIN <sub>A/B</sub> =5V, VDD <sub>A/B</sub> =12V, OUT <sub>A</sub> =1A, OUT <sub>B</sub> =1A, C <sub>L</sub> =1nF, 见应用示意图		50	ns
上升延时	T <sub>DI</sub>	VIN <sub>A/B</sub> =5V, VDD <sub>A/B</sub> =12V, OUT <sub>A</sub> =1A, OUT <sub>B</sub> =1A, C <sub>L</sub> =1nF, 见应用示意图		60	ns
下降延时	T <sub>DI</sub>	VIN <sub>A/B</sub> =5V, VDD <sub>A/B</sub> =12V, OUT <sub>A</sub> =1A, OUT <sub>B</sub> =1A, C <sub>L</sub> =1nF, 见应用示意图		60	ns
关断电流	I <sub>STB</sub>	EN <sub>X</sub> 都关断		1	mA

## 8. 功能框图及引脚介绍

### 8.1 功能框图

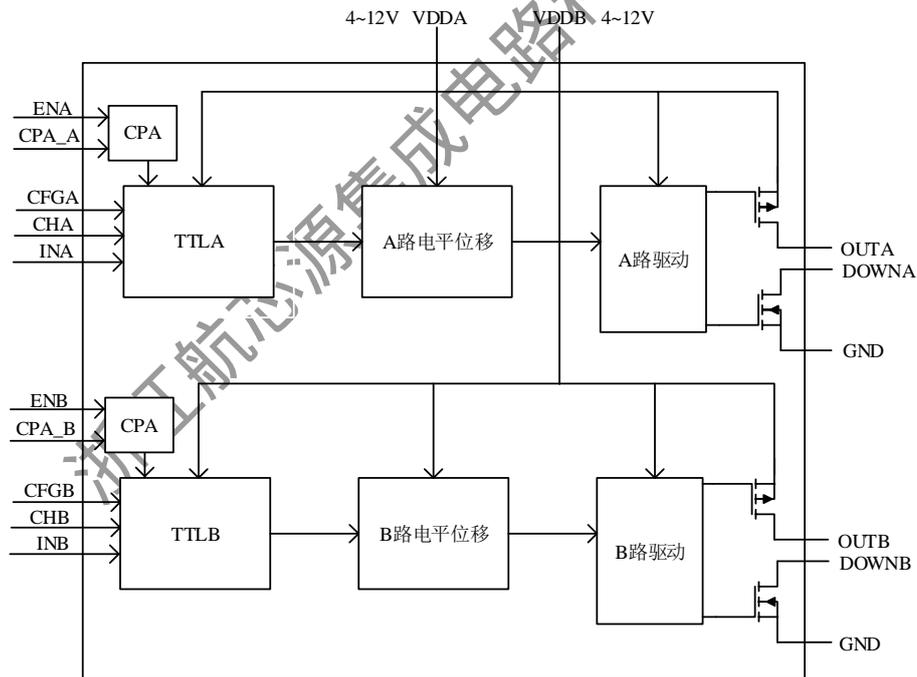


图 1 功能框图



## 8.2 引脚介绍

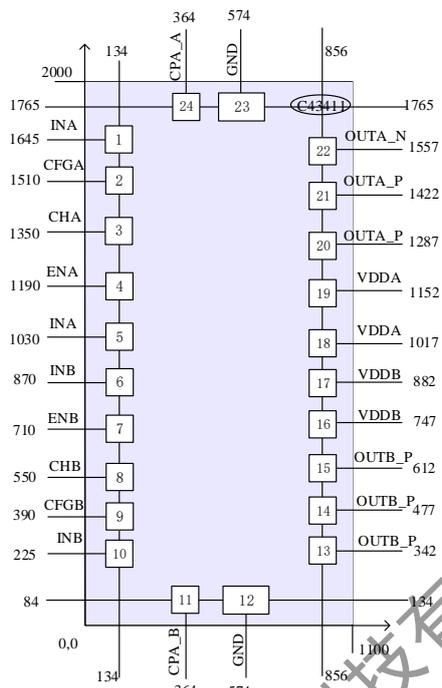


图 2 引脚分布图

- 芯片尺寸：1100 $\mu$ ×2000  $\mu$ m（含划片槽）
- PAD 尺寸：GND：100 $\mu$ m×250 $\mu$ m  
其它 PAD：100 $\mu$ m×100 $\mu$ m

表 3 C43411 引脚介绍

引脚序号	引脚名称	引脚功能描述
1	INA	A 路信号输入
2	CFGA	A 路负压屏蔽端
3	CHA	A 路输出反相配置端
4	ENA	A 路负压使能端，-5V 有效
5	INA	A 路信号输入
6	INB	B 路信号输入
7	ENB	B 路负压使能端，-5V 有效
8	CHB	B 路输出反相配置端
9	CFGB	B 路负压屏蔽端
10	INB	B 路信号输入
11	CPA_B	B 路负控正外接电容
12	GND	芯片地端



13	OUTB_N	B 路 N 沟道器件开路输出端
14	OUTB_P	B 路 P 沟道器件开路输出端
15	OUTB_P	B 路 P 沟道器件开路输出端
16	VDDB	B 路电源端
17	VDDB	B 路电源端
18	VDDA	A 路电源端
19	VDDA	A 路电源端
20	OUTA_P	A 路 P 沟道器件开路输出端
21	OUTA_P	A 路 P 沟道器件开路输出端
22	OUTA_N	A 路 N 沟道器件开路输出端
23	GND	芯片地端
24	CPA_A	B 路负控正外接电容

## 9. 芯片应用说明

### 9.1 典型应用图

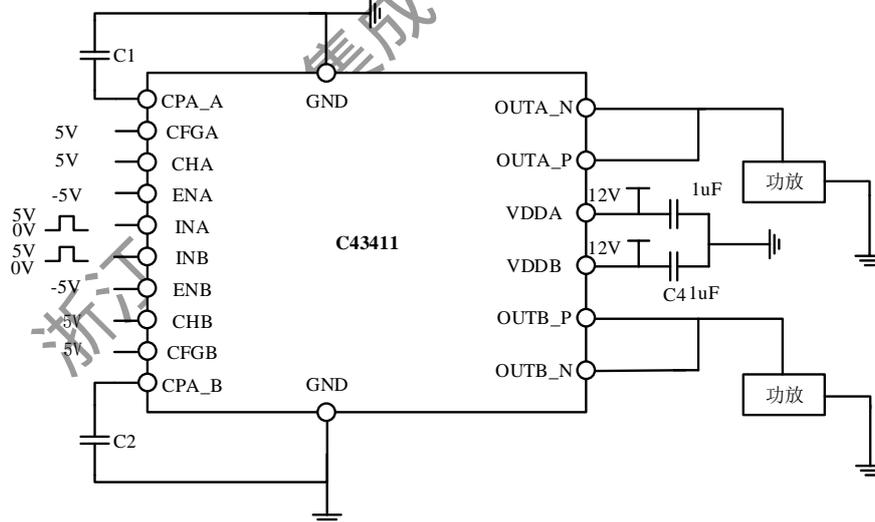


图 3 C43411 工作推荐电路

### 9.2 输入端口设置

输入端口 IN<sub>X</sub> 为 TTL 电平，不用可以悬空，默认接 0V。输入端口 IN<sub>X</sub> 若使用电平模式，端口 OUT<sub>X\_N</sub> 不要与输出端 OUT<sub>X\_P</sub> 连接。

输入端口 EN<sub>X</sub> 为负压检测使能端口，有较小的输入电流，正常使用时若干扰较大可外接 100nF 电容。EN<sub>X</sub> 的使用范围为 0 ~ -5V，芯片默认 EN<sub>X</sub> 接 0V。



CFGX 为负压屏蔽端口，内部默认上拉至 5V 左右，即芯片默认需要负压使能；若不需要负压使能功能，需打线配置到 GND。

### 9.3 输出端口设置

输出端口 OUTX\_P 为内部功率 PMOS 管漏极，不用可以悬空，为高阻态，若有泄电需求可接入对应的下拉 OUTX\_N，禁止接地。

### 9.4 电源设置

A 路和 B 路供电电源是独立分开的，且所有配置脚也都可以独立使用。

### 9.5 负压使能延迟

CPAX 外部对地接电容，可以调节负压使能的延迟时间，不接电容时，会有默认的初始延迟时间， $10\mu\text{s}\sim 30\mu\text{s}$ 。

### 9.6 反相配置

CHX 为输出反相配置端，芯片默认输出同相，若需输出反相，请将该脚配置到 GND。

### 9.7 布板注意事项

- 1) 功率走线如地、VDDA、VDDB，应简短并且具有一定宽度；
- 2) 分别在芯片的 VDDA 和 VDDB 脚放置去耦电容，且尽量与芯片或者靠近；
- 3) 驱动器的输出脚 OUTA\_P、OUTB\_P 应简短并且具有一定宽度以减小寄生电感；

## 10. 注意事项

### 10.1 产品安装注意事项

- 1) 芯片键合区主要材料为铝；适宜于键合工艺，键合材料推荐硅铝丝，若使用金丝，在芯片装配、使用过程中需控制金铝化合物产生；
- 2) 芯片背面未金属化，可采用导电胶粘接；
- 3) 芯片背面为 0V 电位，装配时推荐 0V 或悬空。

### 10.2 产品使用注意事项

- 1) 输出端口禁止接地；
- 2) 器件不能超过极限工作条件使用；
- 3) 电源去耦：应在靠近器件电源引出端处可采用  $1\mu\text{F}$  电容。此外，线路板布线应尽量短，尽量避免直角、锐角走线；
- 4) 工作时先检查电源、地是否接触良好后再接通器件电源。



### 10.3 产品防护注意事项

- 1) 本产品可抗 1000V 静电击穿，使用时应注意避免静电损伤，操作人员戴接地防静电手环在防静电的工作台上操作，并确保操作台面、操作设备接地良好，操作环境的相对湿度应尽可能保持在 30% 以上。拿取芯片时，最好使用真空吸笔，以免损伤芯片，测试、使用及流转过程中，应避免使用能引起静电的塑料、橡胶、丝织物等。
- 2) 芯片应包装在相应包装容器内，包装容器应贮存在相对湿度不大于 30% 的充氮干燥箱或干燥塔中，并保持 10℃~30℃ 的温度范围。满足以上条件的芯片有效贮存期为 3 年。并确保周围没有酸、碱或其它腐蚀性气体，保证通风良好，且具备相应防静电措施；
- 3) 在避免雨、雪直接影响的条件下，装有产品的包装箱可以用安全的运输工具运输，但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。

浙江航芯源集成电路科技有限公司



## 11. 版本说明

产品型号	编制时间	版本编号	修订记录
C43411	2021.10.14	Rev.1	初始版本
C43411	2022.04.11	Rev.2	统一修正

浙江航芯源集成电路科技有限公司