



3~12V 宽电压输入，3A 抗辐射 LDO 稳压器

对标 RHFL4913A

## 1. 产品特性

- 输入电压：3V~12V
- 最大输出电流：3A
- 超高电压精度：±1.25%
- 低压降：120mV@1A ( $V_O=2.5V\sim9V$ , 25°C)
- 低噪声：20 $\mu$ VRMS ( $V_O=3.3V$ )
- 高电源抑制比：70dB@120Hz
- TTL 可控使能
- 限流点可调
- 可实现与 RHFL4913A PIN TO PIN 替代
- 总剂量 (TID) 耐受：≥100k rad(si)
- 单粒子锁定及烧毁对线性能量传输 (LET) 的抗干扰度：≥75MeV\*cm<sup>2</sup>/mg



## 2. 功能描述

C41113RHT 是采用 P 型金属氧化物半导体 (PMOS) 导通元件配置的辐射加固型线性稳压器。该器件可以工作在 3V~12V 的宽输入电压范围内，提供高达 3A 的额定输出电流，优异的 PSRR 和噪声性能，满足多种卫星载荷供电需求。

## 3. 产品应用

- 航天器 FPGA、微处理器、ASIC 等负载点芯片供电
- 低噪声系统：A/D、D/A、高速 Serdes 等
- 射频、VCO、接收机、运放等应用

## 4. 裸芯片/封装简介

- 本产品采用耐热增强型 CFP-16 陶瓷扁平封装。



## 5. 绝对最大额定值

- 1) 输入电压  $V_I$ : -0.3V~16V
- 2) 输出电压  $V_O$ : 1.22~ $V_I - V_d$
- 3) 储存温度: -65 ~ +150°C
- 4) 工作温度: -55 ~ +150°C
- 5) ESD (HBM): 2000V

注: 使用中超过这些绝对最大值可能对芯片造成永久损坏。

## 6. 推荐工作条件

- 1) 输入电压  $V_I$ : 3V~12V
- 2) 使能  $I_{NHB}$ : 0V
- 3) 工作环境温度: -55°C~125°C

## 7. 主要电参数

表 1 C41113RHT 电性能参数表

除非特别说明,  $3V \leq V_I \leq 12V$ ,  $C_O = 10\mu F$ ,  $T_A = -55^\circ C \sim 125^\circ C$ ,

参数	测试条件	最小值	典型值	最大值	单位
$V_I$ 输入电压		3	-	12	V
$V_{ADJ}$ 反馈电压	$0A \leq I_O \leq 3A$ , $3V \leq V_I \leq 12V$	1.220	1.245	1.270	V
$V_O$ 输出范围 <sup>(1)</sup>		1.23	-	$V_I - V_d$	V
线性调整率	$3V \leq V_I \leq 12V$ , $I_O = 5mA$	-0.3	0.05	0.3	%/V
负载调整率	$V_I = V_O + 2.5V$ , $I_O = 5mA \sim 400mA$	-	0.02	0.5	%/A
	$V_I = V_O + 2.5V$ , $I_O = 5mA \sim 1A$	-	0.08	0.6	%/A
$I_{q(on)}$ 静态电流	$V_I = V_O + 2.5V$ , $I_O = 30mA$	-	2	5	mA
	$V_I = V_O + 2.5V$ , $I_O = 1A$	-	3	8	mA
$I_{q(off)}$ 关机电流	$V_I = V_O + 2V$ , $V_{INH} = 2.4V$	-	-	200	$\mu A$
$V_d$ 漏失电压	$T_J = 25^\circ C$ , $I_O = 3A$ , $V_O = 2.5V \sim 9V^{(1)}$	-	360	750	mV
	$T_J = 25^\circ C$ , $I_O = 1A$ , $V_O = 2.5V \sim 9V$	-	120	250	mV



$I_{ADJ}$ 输入电流	$V_I=12V, V_O=2.5V\sim 9V$	-	1	50	nA	
$I_{INH}$ 输入电流	$V_{INH}=5V$	-	2	5	$\mu A$	
$V_{INH(ON)}$ 使能低	$I_O=5mA$	-	-	0.8	V	
$V_{INH(OFF)}$ 使能高	$I_O=5mA$	2.4	-	-	V	
$V_{OCM}$ OCM 电压值	灌电流 $I_{OCM}=24mA$	-	0.2	0.5	V	
$t_{PLH}$ 使能关闭延时 <sup>(1)</sup>	$V_I=V_O+2.5V, I_O=400mA,$	-	-	20	$\mu s$	
$t_{PHL}$ 使能开启延时 <sup>(1)</sup>	$V_{INH}=2.4V, V_O=3V$	-	-	100	$\mu s$	
PSRR <sup>(1)</sup> 电源抑制比	$V_I=5.5V\pm 0.5V,$ $V_O=3.3V, I_O=5mA$ $C_O=10\mu F$	120Hz	70	80	-	dB
		33kHz	40	50	-	dB
eN 输出噪声 <sup>(1)</sup>	BW=10Hz-100kHz, $I_O=5mA\sim 2A$	-	40	-	$\mu V_{RMS}$	
TSD 过温保护 <sup>(1)</sup>		-	175	-	$^{\circ}C$	

(1) 仅设计保证，产品中不测试。

## 8. 芯片框图和引脚说明

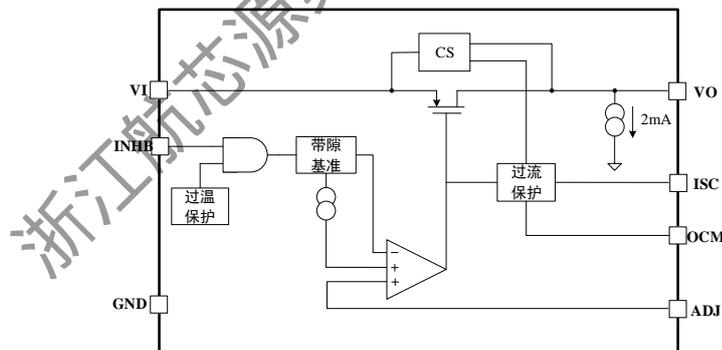


图 1 芯片框图

C41113RHT 器件功能框图如上图所示，该器件为一款抗辐照高压低压差线性稳压器产品。输出电压  $V_O$  通过 ADJ 端口反馈回器件，再经过误差放大器放大控制功率管栅极电压以稳定输出电压值。

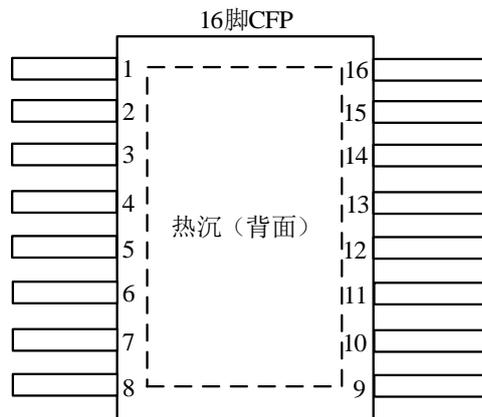


图 2 C41113RHT 封装图(顶视图)

表 2 引脚功能说明表

CFP16	引脚介绍	引脚功能描述
1, 2, 6, 7	VO	功率输出。
3, 4, 5	VI	功率输入。建议输入加有滤波电容可以有更好的模拟性能。
13	GND	地线。
8	ISC	可编程限流点。通过连接电阻到 VI 设定限流点。电阻阻值 10kΩ 到 270kΩ。不用可悬空，悬空时限流点约 3.5A。
10	OCM	过流保护指示端。当器件处于过流状态时输出低信号，否则输出高信号。可灌高达 24mA 电流。不用可悬空。
14	INHB	使能信号脚。输入逻辑低用来开启器件，输入逻辑高用于关闭器件。内部已下拉至地。不用可悬空。
15	ADJ	反馈电压端。
9, 11, 12, 16	NC	不连接。

## 9. 功能详细说明

### 9.1 综述

C41113RHT 系列 LDO，最大输出 3A，主要应用于宇航器件中。该器件具有低压差、低噪声、高 PSRR 等优点。器件内部集成有可编程限流、过流保护、过温保护等功能。

该器件 INHB、ISC、OCM 引脚可悬空不用，悬空后器件可以正常工作，只是不能使能开启，无限流指示，无法调节能限流点。简化应用原理图如下：

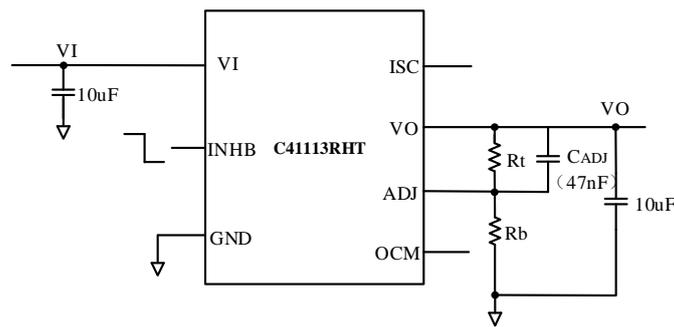


图 3 C41113RHT应用原理图

## 9.2 可调输出电压

输出电压通过设置 VO 到 ADJ 端口的分压电阻实现，可以实现 1.23V 至 11V 输出电压范围。建议使用 1%精度或者更高精度的电阻实现。具体计算公式如下：

$$V_{OMT} = \frac{(R_T + R_B)}{R_B} \cdot V_{ADJ}$$

其中， $V_{ADJ}=1.245V$ 。

为了在无负载时具有同样稳定的输出电压值，建议  $R_B$  电阻值不超过 20k $\Omega$ 。

## 9.3 使能 (INHB)

通过给 INHB 引脚输入 TTL 电平可以控制器件开启和关断。INHB 引脚输入低电平开启器件，输入高电平关闭器件。INHB 引脚内部已下拉，所以不需要使能关闭器件可以悬空此引脚。

## 9.4 可编程限流点 (ISC)

通过改动 ISC 电阻来改变器件限流点，ISC 电阻范围为 10k $\Omega$  至 270k $\Omega$ ，限流范围为 200mA 至 3.5A。器件最大限流点  $I_{SHORT}>3.8A$  ( $V_O=0V$ )。如不用可悬空。

## 9.5 过流指示 (OCM)

当器件处于限流保护时 OCM 引脚置低，否则 OCM 引脚置高。该引脚最大可灌 24mA 电流。OCM 引脚内部有 5k $\Omega$  电阻上拉。如不用可悬空。

## 9.6 输出电容

输出建议至少有 10 $\mu F$  的钽电容以保证器件的稳定性，当负载存在快速瞬态变化时，建议增大输出端电容。当输出负载快速变化，器件内部环路来不及变化，变化负载完全由输出电容承担，此时输出电容应足够大，以保证输出电压变化在可接受的范围内。可以用以下公式计算该容值：

$$C_o \geq \frac{\Delta I_o \cdot \Delta t}{\Delta V_o}$$



其中， $\Delta I_O$ 表示输出电流变化量， $\Delta V_O$ 为允许输出电压变化量， $\Delta t$ 表示电流变化时间。如： $\Delta I_O = 0.5A$ ， $\Delta V_O = 5\% \times 3.3 = 0.165$ ， $\Delta t = 10\mu s$ ，计算可得出所需最小电容为  $30\mu F$ 。

## 9.7 PCB 建议

当给 FPGA 等器件进行供电时，需要非常注意 PCB 设计，尤其当器件的使能功能时，会在电路线路产生较大的  $di/dt$ ，如在输入、输出路径上产生较大的寄生电感，则会产生大幅度噪声电压，超过器件及 FPGA 的最大耐受电压，则可能导致器件及 FPGA 损坏。另外还需考虑器件自身的功耗采取相应的散热措施。建议按照以下方法对 PCB 进行设计。

- 1) 所有引脚连线尽量短，以减小寄生电感。
- 2) 加粗 VI、VO、GND 引脚的连接宽度，减小输入、输出的环路面积，如果采用多层板设计，最好能提供完整的 GND 平面。
- 3) 输入输出电容尽可能靠近器件的 VI、VO 引脚，防止出现“外挂”电容设计。

器件的功耗=压差×输出电流，当器件功耗大于 0.3W 以上时，必须采取相应的散热措施。器件底部需要加热沉，且热沉通过孔与 GND 平面相连，过孔数量尽量多，以减少散热路径的热阻。

## 10. 应用说明

### 10.1 C41113RHT推荐工作电路

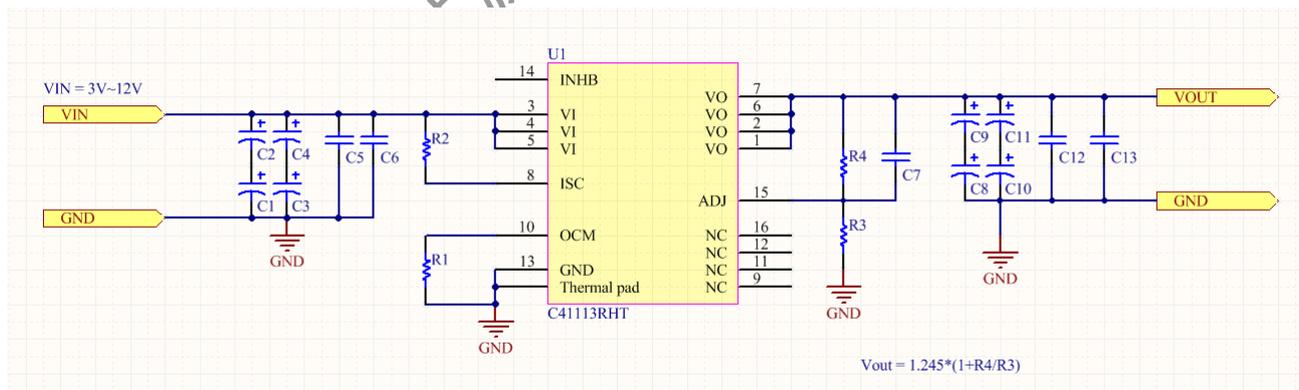


图 4 C41113RHT 推荐工作电路图

- 1) 输出电压计算公式如下：

$$R3 = \frac{1.245}{V_{OUT} - 1.245} R4$$



2) 器件清单如下:

表 3 C41113RHT 推荐工作电路图器件清单

Designator	Description	Value	Quantity
U1		C41113RHT	1
C1	100 $\mu$ F/25V-CAK45E	100 $\mu$ F	1
C2	100 $\mu$ F/25V-CAK45E	100 $\mu$ F	1
C3	100 $\mu$ F/25V-CAK45E	100 $\mu$ F	1
C4	100 $\mu$ F/25V-CAK45E	100 $\mu$ F	1
C5	Capacitor	4.7 $\mu$ F	1
C6	Capacitor	4.7 $\mu$ F	1
C7	Capacitor	OPT	1
C8	100 $\mu$ F/25V-CAK45E	100 $\mu$ F	1
C9	100 $\mu$ F/25V-CAK45E	100 $\mu$ F	1
C10	100 $\mu$ F/25V-CAK45E	100 $\mu$ F	1
C11	100 $\mu$ F/25V-CAK45E	100 $\mu$ F	1
C12	Capacitor	4.7 $\mu$ F	1
C13	Capacitor	4.7 $\mu$ F	1
R1	Resistor	NC	1
R2	Resistor	270k $\Omega$	1
R3	Resistor	4.99k $\Omega$	1
R4	Resistor	1k $\Omega$ 输出 1.5V	1
	Resistor	2.2k $\Omega$ 输出 1.8V	1
	Resistor	4.99k $\Omega$ 输出 2.5V	1
	Resistor	8.2k $\Omega$ 输出 3.3V	1
	Resistor	15k $\Omega$ 输出 5.0V	1
	Resistor	27k $\Omega$ 输出 8V	1
	Resistor	39k $\Omega$ 输出 11V	1



## 11. 封装信息

表 5 C41113RHT 封装信息

尺寸符号	型号/数值 (mm)	
	C41113RHT	RHFL4913A
A	2.27~2.86	2.42~2.88
b	0.35~0.45	0.38~0.48
c	0.1~0.2	0.1~0.18
D	9.72~10.08	9.71~10.11
E	6.72~7.08	6.71~7.11
E2	3.25~3.55	3.3~3.6
E3	0.76	0.76
e	1.27	1.27
L	7.25	6.35~7.36
Q	0.57~1.16	0.66~1.14
S1	0.13	0.13

## 12. 热阻数据

表 4 热阻数据

符号	含义	数值	单位
$R_{thJC}$	器件结壳热阻	3.2	$^{\circ}\text{C}/\text{W}$
$T_{SOLD}$	引脚最高焊接温度, 10秒	300	$^{\circ}\text{C}$



### 13. 版本说明

产品型号	编制时间	版本编号	修订记录
C41113RHT	2021.10.14	Rev.1	初始版本
C41113RHT	2022.04.11	Rev.2	统一修正

浙江航芯源集成电路科技有限公司