



28V 功率 pmos 驱动、高压 28V 调制 TR 电源管理芯片

1. 产品特性

- 28V 功率 PMOS 驱动
- 高压 28V 调制
- 发射、接收 A、接收 B 电源调制各 200mA 输出电流
- GaN 栅压调节：-1.7V ~ -3.2V
- GaN 栅极驱动电流：±50mA
- 正负压欠压锁定
- T 信号可编程过脉宽保护

2. 功能描述

C49031是一款多功能射频电源调制器芯片，主要由28V高压调制电路，28V PMOS功率管驱动电路，发射、接收A、接收B电源调制电路和GaN栅压调节电路这三部分电路构成。其中28V高压调制电路和PMOS功率管驱动电路为高速、低延迟驱动电路，具有负压电源监控及使能控制开断功能、漏极快速放电功能、过脉宽保护功能。发射、接收A、接收B电源为VDD，内置功率PMOS，由T/R信号直接控制开关。栅压调制控制电路由GaN栅极调制构成，由4位控制位对输出电压选择，使得栅压可调。

3. 产品应用

- 射频驱动放大器供电
- 28V功率PMOS驱动
- GaN栅极调制驱动

4. 裸芯片/封装简介

- 本产品为裸芯片，尺寸为：2220×2300μm²（含划片槽）



5. 绝对最大额定值

表 1 绝对最大额定值

符号	参数	最小值	典型值	最大值	单位
V_{HI}	PMOS功率管驱动电源			36	V
V_{DD}	正电源电压			6	V
V_{EE}	负电源电压			-6	V
T_{STG}	储存温度	-65		150	°C
T_A	工作温度	-55		125	°C

(1) 使用中超过这些绝对最大值可能对芯片造成永久损坏。

6. 推荐工作条件

- 1) 电源电压 V_{HI} : 9V~36V
- 2) 电源电压 V_{DD} : 4.5V~5.5V
- 3) 电源电压 V_{EE} : -5.5V ~ -4.5V
- 4) 工作环境温度 T_A : -55°C~125°C

7. 主要电参数

除非特别说明, $T_A = -55^{\circ}\text{C} \sim 125^{\circ}\text{C}$, $V_{HI} = 28\text{V}$, $V_{DD} = 5\text{V}$, $V_{EE} = -5\text{V}$ 。

表 2 主要电参数

参数	符号	测试条件	最小值	典型值	最大值	单位
VHI 静态电流	I_{VHI}	$V_{HI} = 28\text{V}$		0.15	1	mA
VDD 静态电流	I_{VDD}	$V_{DD} = 5\text{V}$		0.1	1	mA
VEE 静态电流	I_{VEE}	$V_{EE} = -5\text{V}$		0.55	1.5	mA
负压保护开启电压	V_{EE_ON}		-3.5			V
负压保护关断电压	V_{EE_OFF}				-2.5	V
输入高电平	V_H		2.4			V
输入低电平	V_L				0.8	V
输入漏电流	I_{IN}	TTL=0V/5V			10	μA
TO 输出高电平	TO_H	$I_{OH} = -20\text{mA}$	27.9			V
TO 输出低电平	TO_L	$I_{OL} = 20\text{mA}$	16		19	V
PD 输出低电平	PD_L	$I_{PD} = 20\text{mA}$			0.15	V
PL 输出高电平	PLO_H	$I_{PLO} = -5\text{mA}$	27.5			V



PL 输出低电平	PLO _L	I _{PL0} =5mA			0.5	V
TXO 输出高电平	TXO _H	I _O = -200mA	4.8			V
RAO 输出高电平	RAO _H	I _O = -200mA	4.8			V
RBO 输出高电平	RBO _H	I _O = -200mA	4.8			V
VG1 输出电平	VG1	I _O =±50mD[3:0]=1111	-1.75		-1.65	V
TO 开通/关闭时间	t _{TO_ON}	负载电容≤3nF		30	100	ns
TXO 开通/关闭时间	t _{TXO_ON}	I _O = -200mA (1nF)		50	100	ns
RAO 开通/关闭时间	T _{RAO_ON}	I _O = -200mA (1nF)		50	100	ns
RBO 开通/关闭时间	t _{RBO_ON}	I _O = -200mA (1nF)		50	100	ns

8. 功能框图及引脚介绍

8.1 功能框图

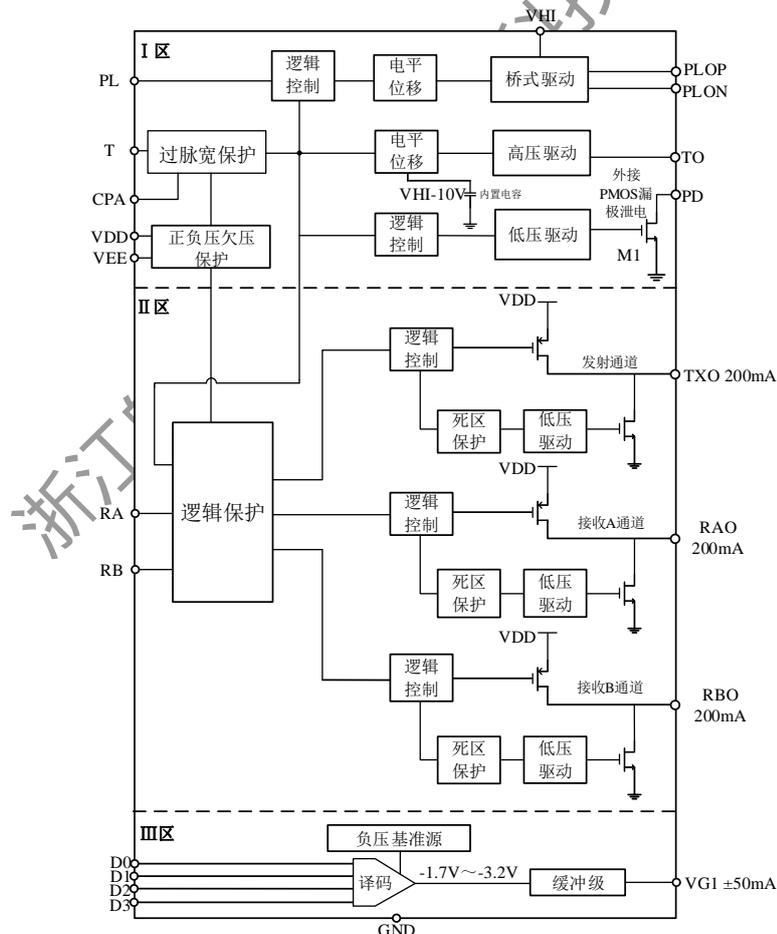


图 1 C49031 功能框图

8.2 引脚介绍

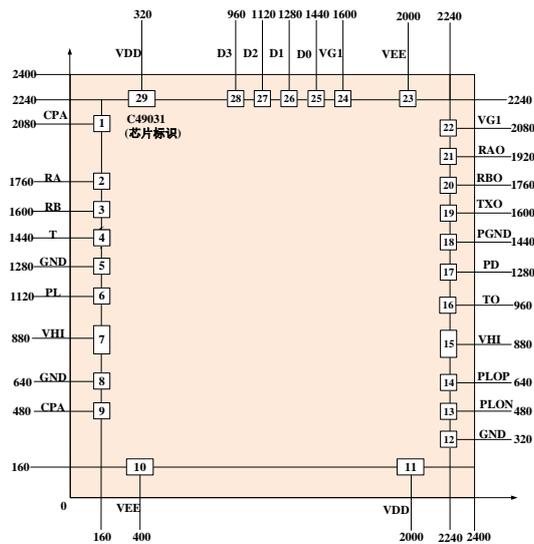


图 2 C49031 引脚分布图

- 芯片尺寸：2220×2300μm²（含划片槽尺寸）
- PAD尺寸：VDD/VEE/VHI：100μm×200μm
其它PAD：100μm×100μm

表 3 引脚功能说明

序号	符号	属性	功能
1	CPA	输入	过脉宽保护时间设定脚，外接电容；不用时需接地
2	RA	输入	接收调制 A 路 TTL 输入
3	RB	输入	接收调制 B 路 TTL 输入
4	T	输入	发射调制 TTL 输入
5	GND	地	接地
6	PL	输入	高压调制 TTL 输入
7	VHI	输入	+28V 电源
8	GND	地	接地
9	CPA	输入	过脉宽保护时间设定脚，外接电容；CPA 接地时关闭过脉宽保护功能
10	VEE	输入	-5V 电源
11	VDD	输入	+5V 电源
12	GND	地	接地
13	PLON	输出	28V PL 调制电源输出反相
14	PLOP	输出	28V PL 调制电源输出正相
15	VHI	输入	+28V 电源
16	TO	输出	外置 PMOS 栅极驱动输出
17	PD	输出	外置 PMOS 漏级泄电端口



18	PGND	地	接功率地
19	TXO	输出	发射调制输出
20	RBO	输出	接收 B 路调制输出
21	RAO	输出	接收 A 路调制输出
22	VG1	输出	GaN 栅压输出-1.7V ~ -3.2V
23	VEE	输入	-5V 电源
24	VG1	输出	GaN 栅压输出-1.7V ~ -3.2V
25	D0	输入	GaN 栅压调节位，悬空时为 1，接 VEE 时为 0
26	D1	输入	GaN 栅压调节位，悬空时为 1，接 VEE 时为 0
27	D2	输入	GaN 栅压调节位，悬空时为 1，接 VEE 时为 0
28	D3	输入	GaN 栅压调节位，悬空时为 1，接 VEE 时为 0
29	VDD	输入	+5V 电源

9. 逻辑功能说明

逻辑关系真值表中，“0”指0V，“1”指5V。

9.1 PMOS 驱动电路（I 区）

PMOS驱动电路为高速、低延迟驱动电路，具有负压电源监控及使能控制开断功能、漏极快速放电功能，供电单元为VHI。

9.1.1 负压电源监控逻辑

负压监测门限值为-3V，阈值范围为±0.5V，即当 $VEE < -3.5V$ 时，驱动器Q1使能有效，TO正常逻辑输出；当 $VEE > -2.5V$ 时，驱动器Q1使能无效，TO为固定值28V，其逻辑关系见下表：

表 4 负压检测使能表

VEE	Q1 使能状态
$< -3.5V$	有效
$> -2.5V$	无效

➤ 引脚PD与TO后级驱动的PMOS的漏极直接连接。

9.1.2 T通道逻辑

当T为高电平时，M1管关断，TO输出低电平 $VS = VHI - 10V$ ，TO可开启外围PMOS；当T为低电平时，M1管打开，TO输出高电平，TO可关断外围PMOS，同时外围PMOS的漏极可通过M1管进行快速放电，满足使用过程中对放电时间的要求。

PLON和PLOP为一组互补的高压电源调制电路，其受PL输入信号与T信号的共同控制。仅当T信号为高时，PL功能使能，PLOP与PL信号同相，PLON与PL信号反相。



同时，T信号具有过脉宽保护功能，由CPA引脚对地外接电容调制保护时间，当CPA引脚悬空时，过脉宽保护时间约为20μs，当CPA外界电容为100pF时，过脉宽保护时间为300μs。当CPA引脚接地时，输出无过脉宽保护，过脉宽保护时间的计算公式如下：

$$T = (C + 7\text{pF}) \times 2.8\mu\text{s/pF}$$

➤ 其中7pF为CPA引脚内置电容，外部电容与过脉宽保护时间的比例约为2.8μs/pF。

表 5 T 通道逻辑和负压检测关系表

输入			输出		
VEE	T	PL	TO	PLOP	PLON
0	0	X	VHI	0V	0V
0	1	X	VHI	0V	0V
-5	0	X	VHI	0V	0V
-5	1	0	VHI-10V	0V	VHI
-5	1	1	VHI-10V	VHI	0V

注：当 VHI<10V，TO 为低时输出约为 1V。X 代表任意状态。

9.2 电源开关控制电路（II 区）

电源开关控制电路供电单元为VDD，内置PMOS和NMOS，其由T/R信号直接控制。如芯片框图所示，T/R信号和TXO、RAO、RBO逻辑关系见下表

表 6 电源开关控制电路逻辑

输入	输出	输入	输出	输入	输出
T	TXO	RA	RAO	RB	RBO
0	0	0	0	0	0
1	VDD	1	VDD	1	VDD

9.3 栅压调制控制电路（III 区）

GaN栅压调制控制电路输出端VG1，范围为-1.7V ~ -3.2V。其由4位控制位对输出电压进行选择。当引脚浮空时，逻辑为1，当引脚连接至VEE时，逻辑为0。VG1默认态为1111（-1.70V），其逻辑关系见下表。

表 7 GaN 栅压调制控制逻辑关系表

D3	D2	D1	D0	VG1
0	0	0	0	-3.20V
0	0	0	1	-3.10V
0	0	1	0	-3.00V



0	0	1	1	-2.90V
0	1	0	0	-2.80V
0	1	0	1	-2.70V
0	1	1	0	-2.60V
0	1	1	1	-2.50V
1	0	0	0	-2.40V
1	0	0	1	-2.30V
1	0	1	0	-2.20V
1	0	1	1	-2.10V
1	1	0	0	-2.00V
1	1	0	1	-1.90V
1	1	1	0	-1.80V
1	1	1	1	-1.70V

10. 芯片应用说明

10.1 典型应用图

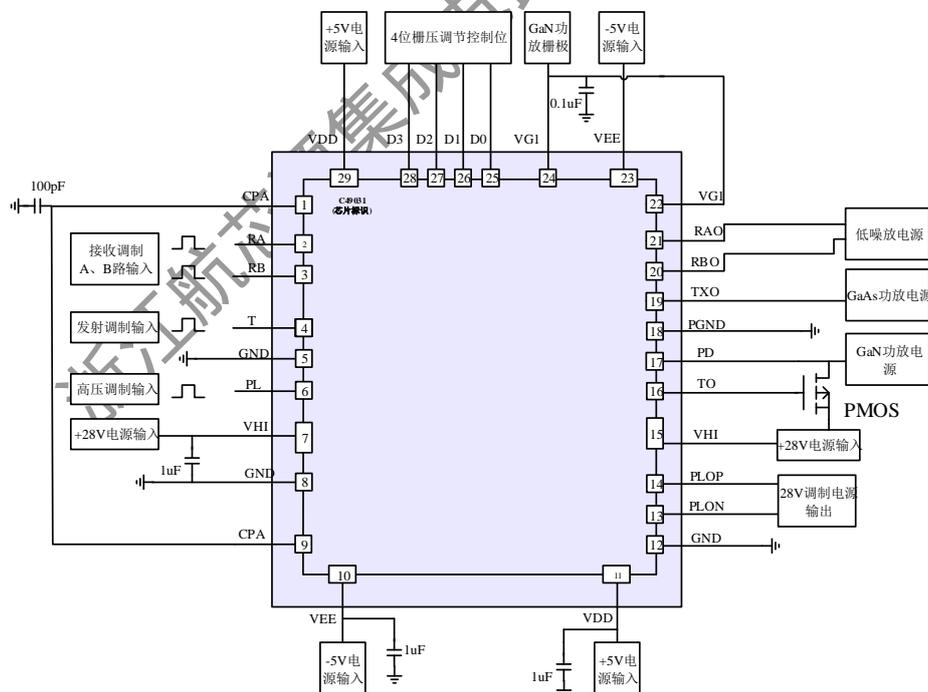


图 3 C49031 工作推荐电路

- 所用PMOS漏极电压为28V， $V_{th} < 10V$ 。

10.2 应用说明



- 1) VHI、VDD、VEE 分别接+28V、+5V、-5V 的电压；
- 2) 芯片背面未背金，可浮空或连接至 VEE
- 3) 多个 GND 引脚中可任选连接 1 个（引脚 5、引脚 8、引脚 12），PGND 必须连接至 GND
- 4) 多个 VHI 引脚中可任选连接 1 个（引脚 7、引脚 15）
- 5) 多个 CPA 引脚中可任选连接 1 个（引脚 1、引脚 9）
- 6) 多个 VG1 引脚中可任选连接 1 个（引脚 22、引脚 24）
- 7) T、R 分别为发射、接收调制 TTL 输入信号，其高电平范围 2.4V~5V，低电平电压范围 0~0.8V；
- 8) VG1 接 GaN 功放的栅极，供电不能超过 50mA，可通过 D0、D1、D2、D3 进行-1.7V ~ -3.2V 范围的选择；
- 9) RXO 与 RXO_DOWN 相连后接 100mA 以下低噪放的电源；
- 10) TXO 与 TXO_DOWN 相连后接 200mA 以下 GaAs 驱放的电源；
- 11) TRXO 与 TRXO_DOWN 相连后接 100mA 以下多功能芯片放大器的电源；
- 12) TO 接 PMOS 的栅极，当 T 为高时，TO 输出 18V，PMOS 导通；当 T 为低时，TO 输出 28V，PMOS 关断；
- 13) PD 接 PMOS 的漏极，当 PMOS 关断时，该端口提供从 PMOS 漏端到地的泄放通道，使 PMOS 漏端快速放电。
- 14) CPA 引脚外接 1nF 电容过脉宽保护时间为 1ms，外接 10nF 电容时过脉宽保护为 10ms。若不使用过脉宽保护功能时，CPA 引脚需接地过脉宽保护时间的计算公式如下：

$$T = (C + 7pF) \times 2.8\mu s/pF$$

11. 注意事项

11.1 安装注意事项

- (1) 芯片键合区主要材料为铝，适宜于键合工艺，键合材料推荐硅铝丝，若使用金丝，在芯片装配、使用过程中需控制金铝化合物产生；
- (2) 芯片背面未金属化，可采用导电胶粘接；
- (3) 芯片背面为-5V 电位，装配时推荐悬空，**请勿直接通过背面输入-5V 电压。**

11.2 使用注意事项

- (1) T、R 端口内部设计有下拉电阻，不用时可悬空，状态为低；
- (2) D3~D0 端口内部设计有上拉电阻，不用时可悬空，状态为高；



- (3) 器件不能超过极限工作条件使用；
- (4) 电源去耦：应在靠近器件电源引出端处采用大于等于 $1\mu\text{F}$ 电容。此外，线路板布线应尽量短，尽量避免直角、锐角走线；
- (5) 电路使用时应先接电源端，再接输入端，**电源端建议按照 VEE、VDD、VHI 的顺序上电，按照 VHI、VDD、VEE 的顺序下电**，同时应尽量避免电源、地线上的干扰；
- (6) 工作时先检查电源、地是否接触良好后再接通器件电源。

11.3 防护注意事项

- (1) 本产品可以抗 1000V 静电击穿，使用时应注意避免静电损伤，操作人员戴接地防静电手环，操作台面、操作设备接地良好，拿取芯片时，最好使用真空吸笔，以免损伤芯片；
- (2) 真空包装好的芯片应贮存在温度 10°C 到 30°C ，相对湿度 20%~70%的环境中，周围没有酸、碱或者其它腐蚀气体，通风良好，且具备相应防静电措施；未使用的芯片应存于氮气柜中；
- (3) 在避免雨、雪直接影响的条件下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。



12. 版本说明

产品型号	编制时间	版本编号	修订记录
C49031	2021.10.14	Rev.1	初始版本
C49031	2022.04.11	Rev.2	统一修正

浙江航芯源集成电路科技有限公司